

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107275

(43)Date of publication of application : 22.04.1997

(51)Int.CI.

H03K 3/289

H03K 3/286

H03K 19/086

(21)Application number : 07-261168

(71)Applicant : NEC CORP

(22)Date of filing : 09.10.1995

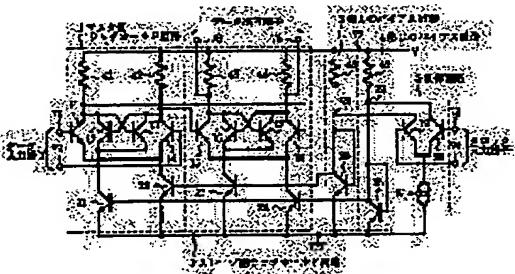
(72)Inventor : UEMURA MICHIEHIKO  
YOSHIDA ATSUSHI

## (54) FLIP FLOP CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize an F/F circuit suitable for small-current driving and high integration by stably operating it even at the time when the supply voltage becomes a low voltage.

**SOLUTION:** Latch hold circuits 1 and 2 on the master side and the slave side having the ECL longitudinally stacked one-stage constitution, first and second bias circuits 3 and 4 which bias current sources transistors TR 21 to 24 of latch hold circuits 1 and 2, and a control circuit 5 which performs pull-down control of bias circuits 3 and 4 by a clock signal are provided. Trs forming individual circuits are constituted with the same size. Since current source TRs 21 to 24 are selectively turned on/off by the pull-down control of the control circuit 5, operation with a low voltage equal to or lower than 1V supply voltage and a low current is possible to realize high integration.



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2888182号

(45)発行日 平成11年(1999)5月10日

(24)登録日 平成11年(1999)2月19日

(51)Int.Cl.<sup>6</sup>  
H 03 K 3/289  
3/286  
19/086

識別記号

F I  
H 03 K 3/289  
3/286  
19/086

A  
F

請求項の数 5 (全 9 頁)

(21)出願番号 特願平7-261168  
(22)出願日 平成7年(1995)10月9日  
(65)公開番号 特開平9-107275  
(43)公開日 平成9年(1997)4月22日  
(54)審査請求日 平成7年(1995)10月9日

(73)特許権者 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72)発明者 植村 翁彦  
東京都港区芝五丁目7番1号 日本電気  
株式会社内  
(72)発明者 吉田 淳  
東京都港区芝五丁目7番1号 日本電気  
株式会社内  
(74)代理人 弁理士 京本 直樹 (外2名)  
審査官 有泉 良三  
(56)参考文献 特開 平6-303109 (JP, A)

(54)【発明の名称】 フリップフロップ回路

1

(57)【特許請求の範囲】

【請求項1】 2組の差動対トランジスタと負荷抵抗および前記2組の差動対トランジスタにそれぞれ電流を供給する電流源トランジスタを備え、入力側が正相、逆相のデータを入力するデータ入力端子に接続されたECL縦積み1段構成のマスタ側ラッチホールド回路と、2組の差動対トランジスタと負荷抵抗および前記2組の差動対トランジスタにそれぞれ電流を供給する電流源トランジスタを備え、入力側が前記マスタ側ラッチホールド回路の出力側に接続され且つ出力側をデータ出力端子に接続されたECL縦積み1段構成のスレーブ側ラッチホールド回路と、コレクタ・ベース間を短絡するトランジスタおよび負荷抵抗をそれぞれ備え、これらのトランジスタのコレクタより前記マスタ側およびスレーブ側ラッチホールド回路の前記電流源トランジスタのベースをそれ

2

ぞれバイアスする第1、第2のバイアス回路と、正相および逆相のクロック信号をベースに入力し且つエミッタを共通接続した差動対トランジスタとこの差動対トランジスタのエミッタに接続される定電流源を備え、この差動対トランジスタのコレクタよりそれぞれ前記第1、第2のバイアス回路を交互にプルダウンする制御回路とを有し、前記クロック信号により前記マスタ側およびスレーブ側ラッチホールド回路の前記電流源トランジスタを選択的にオン／オフすることを特徴とするフリップフロップ回路。

【請求項2】 前記第1および第2のバイアス回路は、前記電源に一端を接続した前記第1および第2の抵抗の他端と前記第1および第2のトランジスタのコレクタ間にとそれぞれ第3および第4の抵抗を接続する請求項1記載のフリップフロップ回路。

【請求項3】 前記第1および第2のバイアス回路は、前記第1および第2の抵抗を分割し、その分割点に前記制御回路の前記クロック出力をそれぞれ供給する請求項1記載のフリップフロップ回路。

【請求項4】 前記第1および第2のバイアス回路は、前記第1および第2の抵抗を分割し、その分割点に前記制御回路の前記クロック出力をそれぞれ供給するとともに、前記第1および第2のトランジスタのコレクタ・ベース間にそれぞれ第3および第4の抵抗を接続する請求項1記載のフリップフロップ回路。

【請求項5】 前記前記第1および第2のバイアス回路は、前記電源に一端を接続した前記第1および第2の抵抗の他端と前記第1および第2のトランジスタのコレクタ間にとそれぞれ第3および第4の抵抗を接続するとともに、前記制御回路の前記クロック出力を前記第1および第2のトランジスタのコレクタにそれぞれ直接供給する請求項1記載のフリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はフリップフロップ回路に関し、特に低電圧で動作可能なECL構成のフリップフロップ回路（以下、F/F回路と称す。）に関する。

【0002】

【従来の技術】 従来のF/F回路においては、定電流源を含んだマスタ側およびスレーブ側ラッチホールド回路などを備えて構成されている。

【0003】 図8はかかる従来の一例を示すF/F回路図である。図8に示すように、従来のF/F回路は、正相、逆相のデータを供給されるデータ入力端子71、72に接続されるマスタ側ラッチホールド回路1と、このマスタ側ラッチホールド回路1の出力に接続されるとともに、データ出力端子75、76に正相、逆相のデータを出力するスレーブ側ラッチホールド回路2と、クロック入力端子73、74から供給される正相、逆相のクロックにより駆動されるトランジスタ（以下、Trと称す）31、32と、これらのTr31、32へ定電流を供給する定電流源54、55とを備えている。しかも、このマスタ側ラッチホールド回路1は、いわゆるギルバートセルを形成するTr11、14とTr12、13およびTr27、28と、負荷抵抗41、42と、定電流源51とにより構成され、またスレーブ側ラッチホールド回路2も同様に、Tr15～18、29、30となるギルバートセルと、負荷抵抗43、44と、定電流源53とにより構成される。

【0004】 このようなマスタ側ラッチホールド回路1およびスレーブ側ラッチホールド回路2を有するF/F回路において、差動対をなすTr11、14のベースにそれぞれデータ入力端子71、72より正相、逆相のデータが入力される。また、Tr15、18のベースは、

それぞれ共通に接続されたTr13、14のコレクタおよび共通に接続されたTr11、12のコレクタに接続され、マスタ側ラッチホールド回路1の正相、逆相の出力が印加される。さらに、Tr27、30のベース、およびTr28、29のベースには、それぞれクロック入力端子74、73から入力された逆相、正相のクロックがTr32、31と定電流源55、54となるエミッタホロワを介して印加される。したがって、これらマスタ側ラッチホールド回路1およびスレーブ側ラッチホールド回路2は、互いに逆の動作を繰返しながらデータ出力端子75、76に正相、逆相のデータを出力する。

【0005】かかるF/F回路の動作をより具体的に説明すると、まずクロック入力端子73に印加される正相クロックがハイ（H）、クロック入力端子74に印加される逆相クロックがロウ（L）のとき、Tr27、30がオン、Tr28、29がオフとなる。そのため、マスタ側ラッチホールド回路1はホールド状態、スレーブ側ラッチホールド回路2はラッチ状態になる。

【0006】ついで、逆にクロック入力端子73がロウ（L）、クロック入力端子74がハイ（H）のときは、Tr27、30がオフ、Tr28、29がオンとなる。この場合、マスタ側ラッチホールド回路1はラッチ状態、スレーブ側ラッチホールド回路2はホールド状態になる。

【0007】このように、上述したF/F回路は、マスタ側ラッチホールド回路1およびスレーブ側ラッチホールド回路2が互いに逆の動作を繰返すことにより、フリップフロップ動作を行う。なお、エミッタホロワを形成するTr31、32は、データ信号を処理するTr11～14および15～18に対し、Tr27～30に供給するクロック信号をトランジスタ1段分のベース・エミッタ間電圧（Vbe）だけ低く設定するためのものである。

【0008】 上述した図8のF/F回路は、具体的には、電源電圧が2.45V（=2Vbe+Vsat+Vrcs）で動作する。ここで、VbeはバイポーラトランジスタのON電圧=0.9V、Vsatは電流源トランジスタの飽和電圧=0.4V、Vrcsは電流源のエミッタ抵抗にかかる電圧=0.25Vである。

【0009】 また、電源電圧が1.8V程度で動作するF/F回路としては、例えば特開平7-30405号公報に記載された回路がある。以下、図9により説明する。

【0010】 図9は従来のかかる他の例を示すF/F回路図である。図9に示すように、このF/F回路は、電源電圧が1.8V程度でも動作するようにするため、Tr11～14と負荷抵抗41、42と定電流源を形成するTr21、22となるマスタ側ラッチホールド回路1と、同様にTr15～18と負荷抵抗43、44と定電流源を形成するTr23、24となるスレーブ

側ラッチホールド回路2と、クロック入力用スイッチトランジスタとしてのTr31, 32と、レベルシフト抵抗49, 50と、ダイオード接続したTr25, 26とから構成されている。

【0011】このF/F回路における動作は、まずクロック入力端子73, 74から入力される正相、逆相のクロックは、Tr31, 32を介し、抵抗49, 50によってレベルシフトされ、Tr25, 26のベース電位を決定する。

【0012】ここで、クロック入力端子73がハイ、クロック入力端子74がロウのとき、Tr25がオン、Tr26がオフとなるように、抵抗49, 50の値を設定すると、各Tr25, 26によりカレントミラーを形成するTr22, 23はオン、Tr21, 24はオフとなるので、マスタ側ラッチホールド回路1はホールド状態、スレーブ側ラッチホールド回路2はラッチ状態になる。

【0013】一方、クロック入力端子73がロウ、クロック入力端子74がハイのときは、マスタ側ラッチホールド回路1はラッチ状態、スレーブ側ラッチホールド回路2はホールド状態になる。

【0014】このように、上述したF/F回路もマスタ側ラッチホールド回路1とスレーブ側ラッチホールド回路2が交互動作を行うことにより、フリップフロップ動作を行う。また、かかるF/F回路は、クロック入力回路を構成するTr31, 32とTr25, 26とにより縦積み2段構成となっているため、2Vbe、すなわち1.8V程度までしか低電圧動作をしない。要するに、このようなF/F回路では、クロック入力端子73, 74にエミッタホロワを有し、その出力を抵抗49, 50を介してコレクタ・ベースを短絡したTr25, 26に供給し且つこれらのトランジスタを縦積みの2段構成としているため、電源電圧77を1.8Vよりも低い低電圧で動作させることは困難になる。

【0015】さらに、最近の電池駆動による携帯用通信機器においては、集積化、すなわち小型軽量化の観点より、そこに用いられるF/F回路は低電圧動作を行うことが要求されている。こうした背景の中、例えば、特開平2-21717号公報あるいは米国特許4977355号明細書等に記載されているように、1V程度で動作するF/F回路が要求されるようになってきた。

【0016】図10はかかる従来のまた別の例を示すF/F回路図である。図10に示すように、この低電圧動作のF/F回路は、Tr11～14と負荷抵抗41, 42と定電流源56, 57とよりなるマスタ側ラッチホールド回路1aと、同様にTr15～18と負荷抵抗43, 44と定電流源58, 59とよりなるスレーブ側ラッチホールド回路2aと、これらラッチホールド回路1a, 2aの定電流源56～59の電流の流入パスとなる大型のTr33～36と、クロック入力端子74, 73

にそれぞれベースを接続したTr19, 20と負荷抵抗45, 46と定電流源51とよりなる差動増幅回路8とで構成される。ここで、Tr33～36は、他のTr11～14, Tr15～18, Tr19, 20の4倍の大きさになっている。

【0017】このF/F回路において、クロック入力端子73, 74から入力される正相、逆相のクロックは差動増幅回路8で増幅され、大型Tr33～36のベースに印加される。まず、クロック入力端子73がハイ、クロック入力端子74がロウのとき、Tr33, 34がオン、Tr35, 36がオフとなる。このうち、Tr33は定電流源57の電流を吸引するため、Tr11, 14がオフとなる。一方、このときのTr36はオフとなっているので、Tr12, 13はオンとなる。したがって、マスタ側ラッチホールド回路1aはホールド状態になる。また、Tr34は定電流源58の電流を吸引するため、Tr16, 17がオフとなり、同様にTr35はオフとなっているので、Tr15, 18はオンとなる。したがって、スレーブ側ラッチホールド回路2aはラッチ状態になる。

【0018】逆に、クロック入力端子73がロウ、クロック入力端子74がハイのときは、マスタ側ラッチホールド回路1aがラッチ状態、スレーブ側ラッチホールド回路2aがホールド状態になる。

【0019】このように、かかるF/F回路もマスタ側ラッチホールド回路1aとスレーブ側ラッチホールド回路2aが交互に動作を繰返すので、フリップフロップ動作を行うことができる。なお、Tr33～36のサイズを他のトランジスタの4倍の大きさにしているのは、データ信号に比べてクロック信号に強制力を持たせるためである。

【0020】要するに、図10におけるF/F回路は、Tr11～18とTr33, 34とTr19, 20すべてが縦積み1段構成であるため、電源電圧1V以下で動作させることは可能であるが、クロック信号に強制力を持たせているために、トランジスタサイズを変え、見かけ上データ信号のハイレベルよりもクロック信号のハイレベルを60mV程度高く設定する必要がある。このような事態は、各種の問題を含んでおり、実用的ではない。

【0021】

【発明が解決しようとする課題】上述した従来のF/F回路、特に図8におけるF/F回路は、エミッタに接続される抵抗を備えたトランジスタからなる電流源を用い、さらに縦積2段であるため、電源電圧を2.45V以下にはできないという欠点がある。

【0022】また、図9におけるF/F回路は、データ入力端子71, 72に接続したマスタ側ラッチホールド回路1と、このマスタ側ラッチホールド回路1の出力側に接続したスレーブ側ラッチホールド回路2とを有する

他に、クロック入力端子 73, 74 に Tr31, 32 よりなるエミッタホロワを有し、そのクロック出力を抵抗 49, 50 を介してコレクタ・ベースを短絡した Tr25, 26 およびマスタ側、スレーブ側ラッチホールド回路 1, 2 の Tr21～24 に供給しており、しかもこれらの Tr25, 31 および 26, 32 を縦積み 2 段構成としているので、1.8V 以下の低電圧で動作させることはできないという欠点がある。

【0023】さらに、図 10 における F/F 回路は、1V 程度の低電圧動作をさせることはできるが、クロック信号に強制力を持たせているため、Tr33～36 のエミッタ面積を通常の Tr の 10 倍にしているので、マスタ側ラッチホールド回路 1a 又はスレーブ側ラッチホールド回路 2a と Tr33～36 とで構成される差動回路においては、クロック信号のしきい値電圧よりもデータ信号のしきい値電圧の方が 60mV (= 26mV × 1n10) 高くなってしまっており、クロック信号の「ロウ」を認識しづらく、低電圧での安定動作に問題がある。また、また、図 10 の F/F 回路は、導通状態の定電流源を 5 個必要としており、低電流化できないという欠点がある上、Tr33～36 のサイズを大きくしなければならず、高集積化できないという欠点がある。

【0024】本発明の目的は、かかる電源電圧が 1V 以下の低電圧になったときでも安定動作させるとともに、低電流駆動を実現し、さらに高集積化にも適した F/F 回路を提供することにある。

#### 【0025】

【課題を解決するための手段】本発明の F/F 回路は、2 組の差動対トランジスタと負荷抵抗および前記 2 組の差動対トランジスタにそれぞれ電流を供給する電流源トランジスタを備え、入力側が正相、逆相のデータを入力するデータ入力端子に接続された ECL 縦積み 1 段構成のマスタ側ラッチホールド回路と、2 組の差動対トランジスタと負荷抵抗および前記 2 組の差動対トランジスタにそれぞれ電流を供給する電流源トランジスタを備え、入力側が前記マスタ側ラッチホールド回路の出力側に接続され且つ出力側をデータ出力端子に接続された ECL 縦積み 1 段構成のスレーブ側ラッチホールド回路と、コレクタ・ベース間を短絡するトランジスタおよび負荷抵抗をそれぞれ備え、これらのトランジスタのコレクタより前記マスタ側およびスレーブ側ラッチホールド回路の前記電流源トランジスタのベースをそれぞれバイアスする第 1, 第 2 のバイアス回路と、正相および逆相のクロック信号をベースに入力し且つエミッタを共通接続した差動対トランジスタとこの差動対トランジスタのエミッタに接続される定電流源を備え、この差動対トランジスタのコレクタよりそれぞれ前記第 1, 第 2 のバイアス回路を交互にブルダウンする制御回路とを有し、前記クロック信号により前記マスタ側およびスレーブ側ラッチホールド回路の前記電流源トランジスタを選択的にオン/オフするように構成される。

【0026】また、本発明の F/F 回路における第 1 および第 2 のバイアス回路は、電源に一端を接続した第 1 および第 2 の抵抗の他端と前記第 1 および第 2 のトランジスタのコレクタ間にそれぞれ第 3 および第 4 の抵抗を接続して構成される。

【0027】また、本発明の F/F 回路における第 1 および第 2 のバイアス回路は、第 1 および第 2 の抵抗を分割し、その分割点に前記制御回路の前記クロック出力をそれぞれ供給するように構成される。

【0028】また、本発明の F/F 回路における第 1 および第 2 のバイアス回路は、前記第 1 および第 2 の抵抗を分割し、その分割点に前記制御回路の前記クロック出力をそれぞれ供給するとともに、前記第 1 および第 2 のトランジスタのコレクタ・ベース間にそれぞれ第 3 および第 4 の抵抗を接続して構成される。

【0029】さらに、本発明の F/F 回路における第 1 および第 2 のバイアス回路は、前記電源に一端を接続した前記第 1 および第 2 の抵抗の他端と前記第 1 および第 2 のトランジスタのコレクタ間にそれぞれ第 3 および第 4 の抵抗を接続するとともに、前記制御回路の前記クロック出力を前記第 1 および第 2 のトランジスタのコレクタにそれぞれ直接供給するように構成してもよい。

#### 【0030】

【実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0031】図 1 は本発明の一実施の形態を示す F/F 回路図である。図 1 に示すように、本実施の形態における F/F 回路は、データ入力端子 71, 72 に入力側を接続した ECL 縦積み 1 段構成のマスタ側ラッチホールド回路 1 と、このラッチホールド回路 1 の動作と逆の動作をさせるためにマスタ側ラッチホールド回路 1 の出力側に入力側を接続するとともに、出力側をデータ出力端子 75, 76 に接続した ECL 縦積み 1 段構成のスレーブ側ラッチホールド回路 2 と、これらマスタ側およびスレーブ側ラッチホールド回路 1, 2 を動作させるためのバイアス電圧を供給する第 1 および第 2 のバイアス回路 3 および 4 と、クロック入力端子 73, 74 から正相、逆相のクロシング信号を供給し差動増幅して第 1, 第 2 のバイアス回路 3, 4 の動作電圧を制御する制御回路 5 とを有している。

【0032】このうち、マスタ側およびスレーブ側ラッチホールド回路 1, 2 は、前述した図 9 の従来例における回路と同一である。すなわち、マスタ側ラッチホールド回路 1 は、それぞれのベースが正相および逆相のデータ入力端子 71, 72 に接続され且つエミッタを共通接続した差動対をなす Tr11, 14 と、これら Tr11 および Tr14 のコレクタと電源線 77 との間に接続された負荷抵抗 41, 42 と、それぞれコレクタを Tr11, Tr14 のコレクタに接続し且つエミッタを共通接

続するとともに、それぞれのベースを T r 1 4, T r 1 1 のコレクタに接続した差動対をなす T r 1 2, 1 3 と、それぞれのコレクタを T r 1 2, 1 3 のエミッタおよび T r 1 1, 1 4 のエミッタに接続し且つそれぞれのエミッタを共に G N D に接続した電流源としての T r 2 1, 2 2 とで構成される。同様に、スレーブ側ラッチホールド回路 2 は、マスタ側ラッチホールド回路 1 の出力側、すなわち T r 1 1, 1 4 のコレクタにそれぞれのベースを接続した差動対をなす T r 1 5, 1 8 と、負荷抵抗 4 3, 4 4 と、相互にベースおよびコレクタを接続しエミッタを共通接続するとともに、各コレクタを T r 1 5, 1 8 のコレクタに接続した差動対をなす T r 1 6, 1 7 と、これら T r 1 6, 1 7 のエミッタおよび T r 1 5, 1 8 のエミッタをそれぞれコレクタに接続し且つエミッタを G N D に接続してなる電流源としての T r 2 3, 2 4 とで構成し、その出力側、すなわち T r 1 8, 1 5 のコレクタをそれぞれ正相、逆相のデータ出力端子 7 5, 7 6 に接続している。

【0033】本実施の形態における特徴は、上述したマスタ側ラッチホールド回路 1 およびスレーブ側ラッチホールド回路 2 を交互に動作させるにあたり、T r 2 1 ～ 2 4 を駆動する電圧をコントロールすることにある。そのために、エミッタを共通接続し正相、逆相のクロックをクロック入力端子 7 3, 7 4 よりベースに供給される T r 2 0, 1 9 とこれらのエミッタおよび G N D 間に接続される定電流源 5 1 とからなる制御回路 5 と、電源線 7 7 および G N D 間に直列接続した抵抗 4 5 およびコレクタ・ベースを短絡してダイオード構成とした T r 2 5 からなり、節点 7 8 に制御回路 5 の T r 1 9 側の逆相出力を供給されて T r 2 5 がオン・オフすることにより、マスタ側およびスレーブ側ラッチホールド回路 1, 2 の T r 2 2, 2 3 の動作電圧をバイアスする第 1 のバイアス回路 3 と、同様に電源線 7 7 および G N D 間に直列接続した抵抗 4 6 およびコレクタ・ベースを短絡してダイオード構成とした T r 2 6 からなり、節点 7 9 に制御回路 5 の T r 2 0 側の正相出力を供給されて T r 2 6 がオン・オフすることにより、マスタ側およびスレーブ側ラッチホールド回路 1, 2 の T r 2 1, 2 4 の動作電圧をバイアスする第 2 のバイアス回路 4 とを備えている。特に、制御回路 5 は、節点 7 8, 7 9 のいずれか一方の電位をプルダウンする機能を備えている。

【0034】このように、制御回路 5 と、第 1 および第 2 のバイアス回路 3, 4 を設けることにより、例えば正相クロック入力端子 7 3 に正相クロックが入力されると、T r 2 0 がオン（このとき、T r 1 9 はオフ）し、抵抗 4 6 により多くの電流を流す。このため、節点 7 9 の電位が下がるので、T r 2 6 をオフ状態にするとともに、T r 2 1, 2 4 をオフにする。つぎに、逆相クロック入力端子 7 4 に逆相クロックが入力されると、同様にして T r 2 2, 2 3 をオフにする。したがって、マスタ

側およびスレーブ側ラッチホールド回路 1, 2 はフリップフロップ動作を行い、データ出力端子 7 5, 7 6 から交互に正相および逆相のデータが出力される。

【0035】以下、図 2 を参照して F / F 回路の具体的動作を説明する。

【0036】図 2 は図 1 における回路動作を説明するための電流電圧特性図である。図 2 に示すように、この電流電圧特性は、図 1 の F / F 回路において、電源電圧を 1 V とし、クロック入力端子 7 3, 7 4 より正相、逆相 10 クロックを入力したときの T r 2 1 ～ 2 4 のコレクタ電流と、節点 7 8, 7 9 の電位とを表わしている。この例では、節点 7 8, 7 9 にハイで 0.8 V、ロウで (0.8 -  $\alpha$ ) V が現われるよう設定する。ここで、 $\alpha = 0.2$  (V) とすると、正相クロック入力端子 7 3 がハイのとき（逆相クロック入力端子 7 4 はロウ）、節点 7 9 はロウ (0.6 V)、節点 7 8 はハイ (0.8 V) となり、T r 2 5 がオン、T r 2 6 はオフとなる。それ故、T r 2 2, 2 3 のベースは共に 0.8 V となるのでそれオフし、コレクタに流れる電流は 0.4  $\mu$  A となる。このとき、T r 2 1, 2 4 は逆にオフとなるので、コレクタ電流は 0 である。したがって、マスタ側ラッチホールド回路 1 はラッチ状態、スレーブ側ラッチホールド回路 2 はホールド状態になる。

【0037】一方、正相クロック入力端子 7 3 がロウのとき（逆相クロック入力端子 7 4 はハイ）、接点 7 9 はハイ (0.8 V)、節点 7 8 はロウ (0.6 V) となり、T r 2 5 はオフ、T r 2 6 はオンとなる。このため、T r 2 2, 2 3 はオフし、T r 2 1, 2 4 オンとなる。したがって、マスタ側ラッチホールド回路 1 はホールド状態、スレーブ側ラッチホールド回路 2 はラッチ状態になる。

【0038】このようにして、F / F 回路は、マスタ側ラッチホールド回路 1 とスレーブ側ラッチホールド回路 2 は、ラッチ状態とホールド状態を交互に繰返すフリップフロップ動作を行う。

【0039】図 3 は図 1 における F / F 回路の入力クロック及びデータ出力の波形図である。図 3 に示すように、これらの入出力波形は、図 1 における F / F 回路の正相データ出力端子 7 5 を逆相データ入力端子 7 2 に接続し且つ逆相データ出力端子 7 6 を正相データ入力端子 7 1 に接続した T - F F 回路のクロック入力とデータ出力の波形である。このときの F / F 回路は電源電圧 1 V、入力周波数 1 GHz で 1/2 分周動作し、T - F F として機能している。

【0040】このように、本実施の形態における F / F 回路も前述した図 1 0 の従来例と同様、T r 1 1 ～ 1 4 と T r 1 5 ～ 1 8 および T r 1 9, 2 0 が縦積み 1 段構成であるので、電源電圧が 1 V 以下の低電圧でもフリップフロップ動作させることができる。前述した図 1 0 の F / F 回路では、クロック信号に強制力を持たせ、しき

い値の異なる信号を差動入力としているため、安定動作に問題があったのに対し、本実施の形態では、回路構成上、等しいしきい値の信号を差動入力にしているため、低電圧でのフリップフロップ動作がより安定になる。

【0041】また、図10のF/F回路などでは、常に5つの電流源に電流が流れているが、本実施の形態においては、各々の電流源をクロックの状態によりオン/オフさせているので、ある状態（例えば、端子73がハイ、端子74がロウ）で導通状態にある電流源はTr22, 23及び電流源51の3つとなっている。したがって、より一層低電流化が可能となる。

【0042】さらに、本実施の形態においては、大型のTrを用いることなく、同一サイズのトランジスタだけで回路を構成できるため、回路規模を小さくでき、F/F回路としての小型化を実現することができる。

【0043】図4は本発明の第2の実施の形態を示すF/F回路図である。図4に示すように、本実施の形態のF/F回路も、前述した図1のF/F回路と同様に、マスタ側およびスレーブ側ラッチホールド回路1, 2と、これらを動作させるための第1および第2のバイアス回路3および4と、節点78, 79のいずれか一方の電位をプルダウンする制御回路5とを有している。本実施の形態のF/F回路が図1のF/F回路と比較して異なるのは、第1, 第2のバイアス回路3, 4のTr25, 26において、コレクタとベースの短絡を止め、抵抗47, 48を接続したことがある。

【0044】本実施の形態においては、Tr25, 26のコレクタ・ベース間に抵抗47, 48を接続しているので、電源電圧上昇（降下）によりTr25, 26のベース電位が上昇（下降）した場合、各々のトランジスタのコレクタ電位が下降（上昇）することにより、Tr25, 26のコレクタ・エミッタ間電圧Vceが減少（増大）、コレクタ電流が減少（増大）し、ベース電位は下降（上昇）するというフィードバック効果がある。このため、電源線77に供給される電源電圧に変動が生じても、電流源となるTr21～24を流れる電流値の変動を小さく抑え、安定したフリップフロップ動作を実現することができる。

【0045】図5は本発明の第3の実施の形態を説明するためのF/F回路におけるバイアス回路および制御回路図である。図5に示すように、この場合は、図1における第1, 第2のバイアス回路3, 4および節点電位プルダウン用の制御回路5の部分を示し、特に抵抗45, 46を分割した抵抗45A, 45Bと抵抗46A, 46Bを用いることにある。かかる回路においても、制御回路を形成するTr19, 20にクロックを供給することにより、抵抗45A, 45Bの接続点（節点101）と抵抗46A, 46Bの接続点（節点102）とのいずれか一方の電位をプルダウンさせ、ラッチホールド回路へ供給するバイアス電圧を安定化させることができる。

【0046】図6は本発明の第4の実施の形態を説明するためのF/F回路におけるバイアス回路および制御回路図である。図6に示すように、この場合は図4および図5のバイアス回路を組合せたものであり、Tr25, 26のコレクタ・ベース間に抵抗47, 48を接続するとともに、図4の抵抗45, 46を分割した抵抗45A, 45Bおよび抵抗46A, 46Bを用いたものである。かかるバイアス回路の抵抗45A, 45Bおよび抵抗46A, 46Bの各節点101, 102の一方の電位を交互にプルダウンすることにより、ラッチホールド回路へ供給するバイアス電圧を安定化させることができる。

【0047】図7は本発明の第5の実施の形態を説明するためのF/F回路におけるバイアス回路および制御回路図である。図7に示すように、この場合はTr25, 26のコレクタにそれぞれTr19, 20のコレクタを直結し、正相、逆相クロック信号によりいずれか一方の電位をプルダウンさせるものである。

【0048】なお、かかるF/F回路におけるバイアス回路は、クロック信号によりTr25, 26のいずれか一方のコレクタ電位をプルダウンすることにより、Tr25, 26のいずれか一方が導通状態、他方が非導通状態になる。

#### 【0049】

【発明の効果】以上説明したように、本発明のF/F回路は、それぞれECL縦積み1段構成のマスタ側およびスレーブ側ラッチホールド回路と、これらのラッチホールド回路の電流源をそれぞれバイアスする第1, 第2のバイアス回路と、これら第1, 第2のバイアス回路をクロック信号によりプルダウン制御する制御回路とを有することにより、電源電圧が1V以下の低電圧でも安定動作させられると同時に、電流源を選択的にオン/オフすることにより、低電流での動作を可能にするという効果がある。また、本発明は各回路を形成するTrを同一サイズで構成することにより、高集積化できるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すF/F回路図である。

【図2】図1における回路動作を説明するための電流電圧特性図である。

【図3】図1におけるF/F回路の入力クロック及びデータ出力波形図である。

【図4】本発明の第2の実施の形態を示すF/F回路図である。

【図5】本発明の第3の実施の形態を説明するためのF/F回路におけるバイアス回路および制御回路図である。

【図6】本発明の第4の実施の形態を説明するためのF/F回路におけるバイアス回路および制御回路図であ

る。

【図7】本発明の第5の実施の形態を説明するためのF/F回路におけるバイアス回路および制御回路図である。

【図8】従来の一例を示すF/F回路図である。

【図9】従来の他の例を示すF/F回路図である。

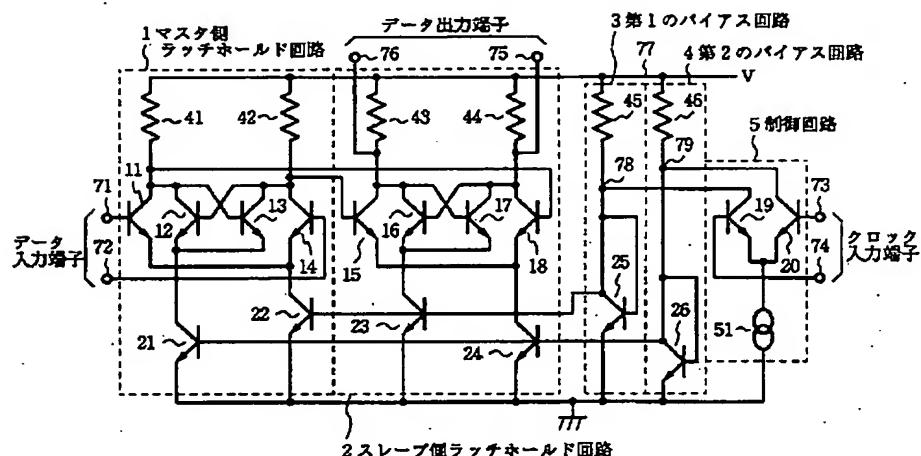
【図10】従来のまた別の例を示すF/F回路図である。

【符号の説明】

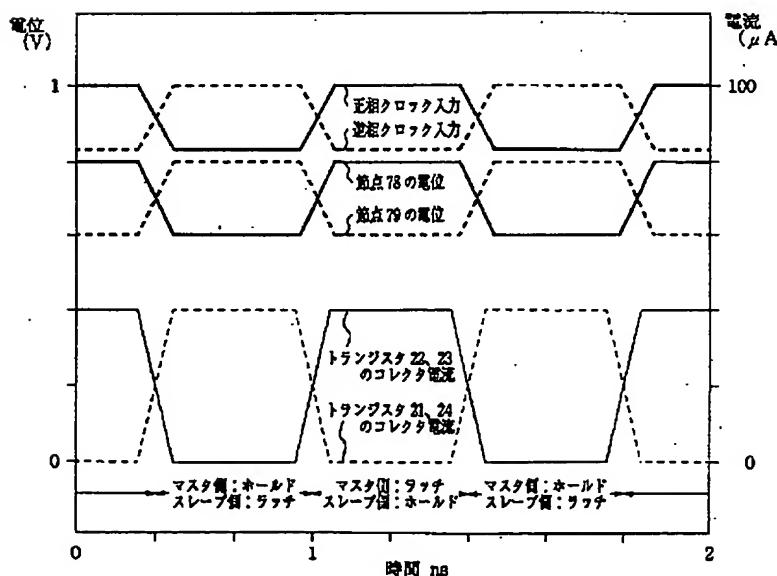
1 マスク側ラッチホールド回路  
2 スレーブ側ラッチホールド回路

3 第1のバイアス回路  
4 第2のバイアス回路  
5 制御回路  
11～26 パソコン  
41～48 抵抗  
51 電流源  
71, 72 データ入力端子  
73, 74 コロック入力端子  
75, 76 データ出力端子  
10 77 電源

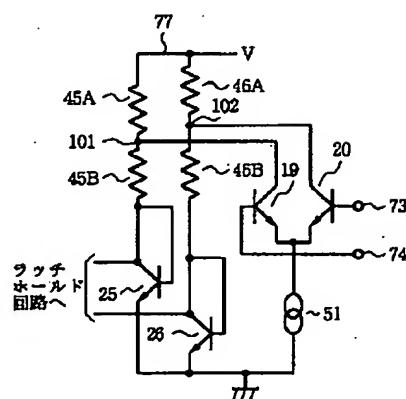
【図1】



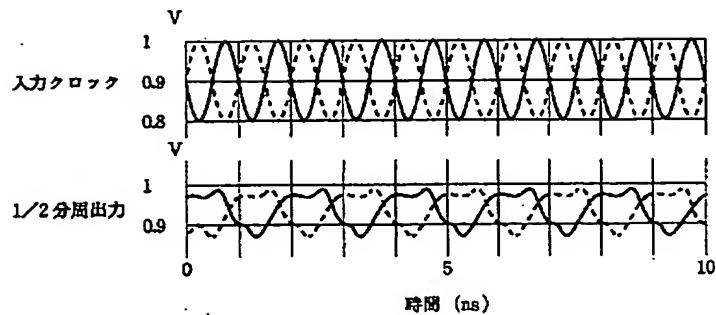
【図2】



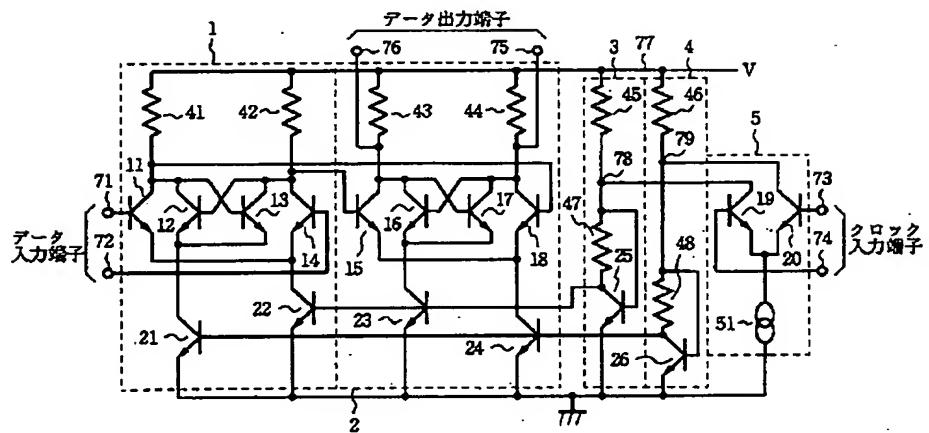
【図5】



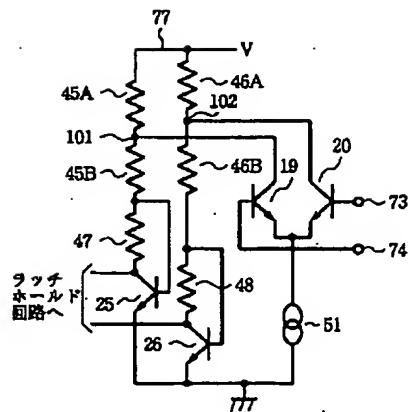
【图3】



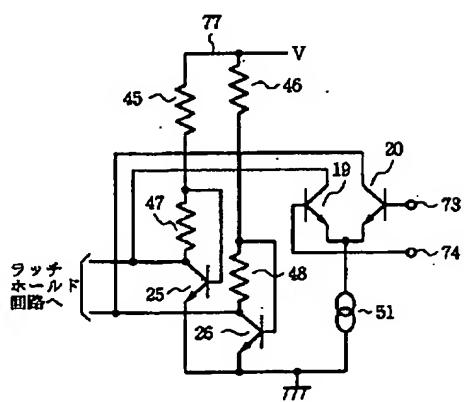
[  4 ]



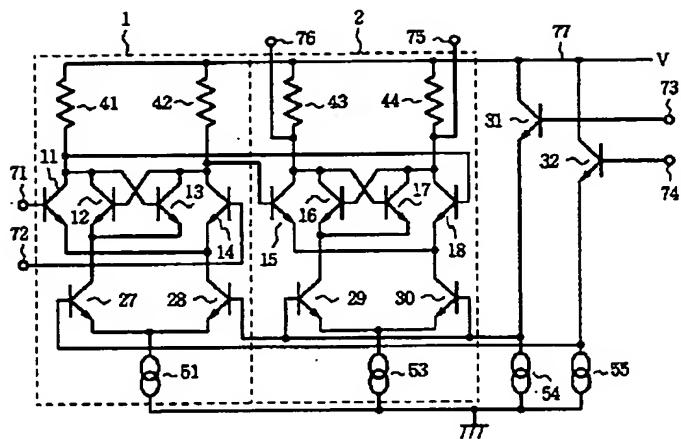
【图 6】



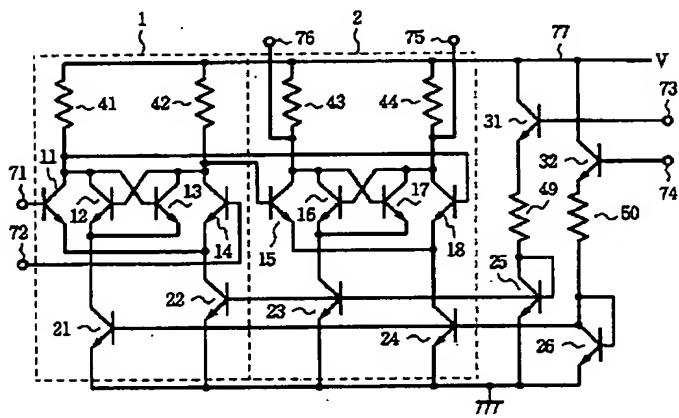
[図 7]



【図 8】



【図 9】



【図 10】

